

お客様各位

2005 年 7 月

重要なお知らせ

平素より東芝マイクロコントローラをご使用頂き、誠にありがとうございます。

東芝マイクロコントローラご使用上の重要なお知らせをお伝えしています。製品をご使用の際には、必ず確認頂きますようお願い致します。

▶ 8ビットタイマ制御方法の制約に関するご連絡 (2005 年 7 月)

※2003 年 12 月 3 日の日付、またはそれ以前のデータシートをお持ちのお客様は、最新のデータシートをダウンロードしていただくか、担当営業までご請求下さい。

▶ I²C バス使用時における注意文言追記のご連絡 (2004 年 10 月)

▶ 8ビットタイマPWMモード周期のTD誤記について (2004 年 10 月)

※2003 年 12 月 2 日の日付、またはそれ以前のデータシートをお持ちのお客様は、最新のデータシートをダウンロードしていただくか、担当営業までご請求下さい。

東芝マイクロコントローラ 900 ファミリー

(TMP91CW12F) (TMP91PW12F) (TMP91CW12AF) (TMP91FY12AF) (TMP91C815F) (TMP91C016F)
(TMP91CW18AF) (TMP91PW18AF) (TMP91C219F) (TMP91C820AF) (TMP91CY22F) (TMP91FY22F)
(TMP91C824F) (TMP91C025F) (TMP91CK27U) (TMP91CP27U) (TMP91CU27U) (TMP91FY27U)
(TMP91CW28FG) (TMP91CY28FG) (TMP91FY28FG) (TMP91C829F) (TMP91C630F)
(TMP91CP82TF) (TMP91PP82TF)
(TMP92C820FG) (TMP92CH21FG) (TMP92CM22FG) (TMP92CA25FG) (TMP92CM27FG) (TMP92CD54IF)
(TMP92FD54AIF) (TMP94C241CF) (TMP94C251AF)

お客様各位

2005年7月

8ビットタイマ制御方法の制約に関するご連絡

掲題の件、「8ビットタイマ制御方法の制約」についてご連絡いたします。8ビットタイマ機能におきまして、タイマレジスタを更新すると、タイマフリップフロップ出力が設定値と異なる場合があります。

— 記 —

【注意対象条件】

下記の項目をすべて満たした場合が条件となります。

- ・ PWM モード／PPG モードでの使用
- ・ ダブルバッファ制御をイネーブル
- ・ アップカウンタのオーバフロー発生タイミング直前におけるレジスタバッファのデータ更新

【問題点】

8ビットタイマにおいてタイマレジスタを更新すると、タイマフリップフロップ出力が設定値と異なる場合があります。

【回避策】

下記のいずれかの方法を適用することにより、ソフトウェアにて不具合現象を回避することが出来ます。

- (1) ダブルバッファ制御をディスエーブルで使用する。
(リセット解除後の初期値は、ディスエーブルとなっています)
- (2) レジスタバッファに設定値を書き込む場合は、以下のタイミングで行なう。
 - a) PWM モードをご使用の場合
オーバフロー割込みを使用し、割り込みルーチン内において、次回のオーバフローが発生する6サイクル前までに、レジスタバッファの更新を終了する。
 - b) PPG モードをご使用の場合
周期のコンペアー一致割込み(*)を使用し、割り込みルーチン内において、次回の周期コンペアー一致が発生する6サイクル前までに、レジスタバッファの更新を終了する。
(*) : レジスタバッファからタイマレジスタへのデータ転送タイミングを決定する割り込み。

【 注意 】

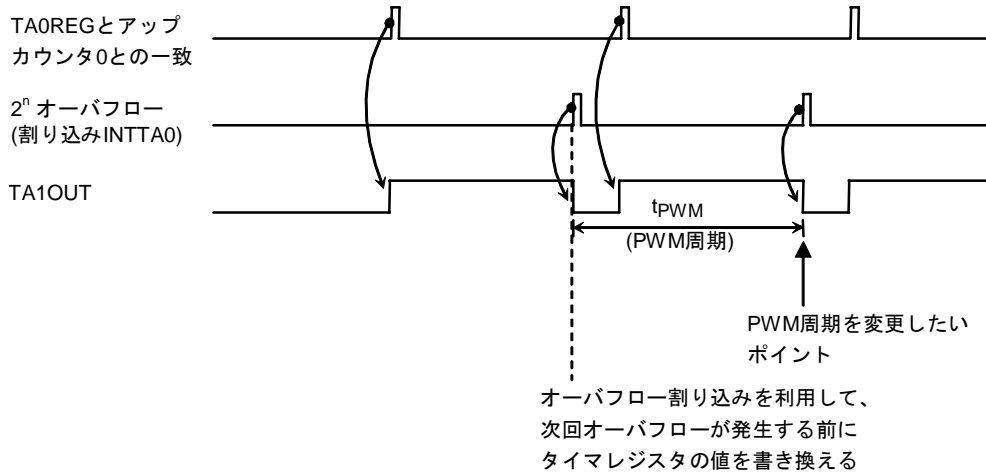
8ビットタイマにおいてPWMモードやPPGモードを使用時にダブルバッファを利用する場合は、注意が必要です。

タイマレジスタの設定値と、アップカウンタが一致して、オーバーフローが発生するタイミング直前にレジスタバッファのデータ更新を行うと、設定値と異なる波形信号が出力される場合があります。

その為、PWMモードではオーバーフロー割込みを利用し、次回のオーバーフローが発生する6サイクル前までに ($f_{sys} \times 6$)、レジスタバッファの更新を終了するようにしてください。

また、PPGモードを使用の際も同様に、周期のコンペア一致割込みを使用し、次回の周期コンペアが一致する6サイクル前までに、レジスタバッファの更新を終了するようにしてください。

■PWMモード時の例



以上

東芝マイクロコントローラ
900 ファミリー
 (TMP91CW12) (TMP91PW12) (TMP91CW12A) (TMP91FY12A)
 (TMP91CY22) (TMP91FY22)
 (TMP91C815) (TMP91C824) (TMP91C820A)
 (TMP91CP27) (TMP91FY27)

お客様各位

2004 年 10 月

I²C バス使用時における注意文言追記のご連絡

下記に示す内容を次回のテクニカルデータシート改訂時に修正・追記予定です。

□ 「I²C バスモード時のコントロールレジスタ」 ページの修正

1. SCL クロック周波数例が 100kHz を超える設定例の削除
2. 「標準モードのみ対応～」注意文言の追記

内部 SCL 出力クロックの周波数選択 <SCK2:0>

000	n=5	-(注)	$\left. \begin{array}{l} \text{システムクロック} \quad : fc \\ \text{クロックギア} \quad : fc/1 \\ fc = 16 \text{ MHz (SCL 端子への出力)} \\ \text{周波数} = \frac{fc}{2^n + 8} \text{ [Hz]} \end{array} \right\}$
001	n=6	-(注)	
010	n=7	-(注)	
011	n=8	60.6 kHz	
100	n=9	30.8 kHz	
101	n=10	15.5 kHz	
110	n=11	7.78 kHz	
111	Reserved	Reserved	

注) 本 I²C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが I²C 規格の規格外となります。

□ 「I²C バスモード時の制御」 ページの修正

1. 通信ポーレートの説明追記
2. 計算式の修正

クロックソース

SBI0CR1<SCK2:0> で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。**通信ポーレートを設定する場合、本紙記載の下記計算式に合わせて t_{LOW} の最小幅など、I²C バス規定を満たす通信ポーレートを選択してください。**

$$\begin{aligned}
 t_{LOW} &= 2^{n-1} / f_{SBI} \\
 t_{HIGH} &= 2^{n-1} / f_{SBI} + 8 / f_{SBI} \\
 f_{SCL} &= 1 / (t_{LOW} + t_{HIGH}) \\
 &= \frac{f_{SBI}}{2^n + 8}
 \end{aligned}$$

以上

東芝マイクロコントローラ 900 ファミリー
 (TMP91CW12) (TMP91PW12) (TMP91CW12A) (TMP91FY12A) (TMP91C815)
 (TMP91C016) (TMP91CW18A) (TMP91PW18A) (TMP91C219)
 (TMP91C820A) (TMP91CY22) (TMP91FY22) (TMP91CW23I) (TMP91C824) (TMP91C025)
 (TMP91CP27) (TMP91FY27) (TMP91CW28) (TMP91CY28) (TMP91FY28) (TMP91C829) (TMP91C630)
 (TMP91CP82T) (TMP91PP82T)
 (TMP92C820) (TMP92CH21) (TMP92CM22) (TMP92FD54AI) (TMP92CD54I)

お客様各位

2004年10月

8ビットタイマPWMモード周期のTD誤記について

掲題の件、「TLCS900/L1 シリーズ、TLCS900/H1シリーズ」における8ビットタイマPWMモード時の周期に関し、データシートに書かれている値に誤りがあります。

— 記 —

【誤記内容】

8ビットタイマPWMモードのPWM周期が、データブック上 **2ⁿ-1 周期** と記載されていますが、実際には、**2ⁿ 周期** で動作します。

TMRA01 モードレジスタ

		7	6	5	4	3	2	1	0
TA01MOD (xxxxH)	bit Symbol	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM	PWM 周期 00: reserved 01: 2 ⁶ -1 10: 2 ⁷ -1 11: 2 ⁸ -1			TMRA1 ソースクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256		TMRA0 ソースクロック 00: TA0IN 端子入力 01: φT1 10: φT4 11: φT16	

誤

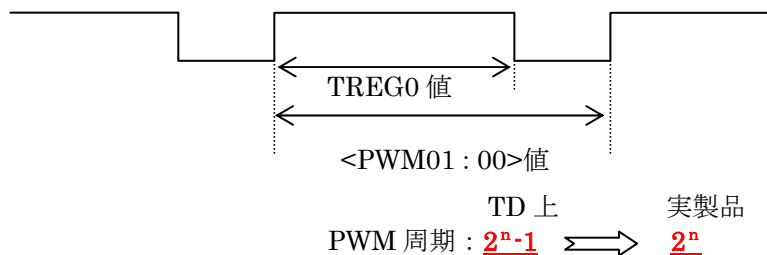
PWM 周期
 00: reserved
 01: 2⁶
 10: 2⁷
 11: 2⁸

正

(8ビットタイマTMRA01のレジスタ説明例を示します。)

【動作】

PWMモード時の波形 (8ビットタイマTMRA01の場合)



以上